

(論文内容の要旨)

近年のプロセッサの設計では、電力性能比の向上は重要な要求の1つとなっている。この電力性能比向上を目的として、パイプライン・ステージ統合(PSU)と呼ばれるアーキテクチャ・レベルの低電力化方法が提案され、将来のプロセス技術においても有望とみなされている。PSUは、プロセッサの負荷が軽い場合、パイプライン・レジスタの一部を適切に無効化し、バイパスする事で、短いパイプラインとして使用する方式であり、このパイプライン・レジスタの無効化による電力削減と短いパイプラインによるIPC(Instructions Per Cycle)の向上により、電力性能比の向上を達成できる。PSU方式では、動的にパイプラインの深さを変更することで、幅広いアプリケーションにおいて低消費電力と高性能を実現できる。

本論文では、PSUを用いるプロセッサにおいて、動的にパイプラインステージ統合を行う戦略の提案と評価について述べたものであり、本論文の内容は以下のとおりである。

第1章 序論

本研究の背景、目的、ならびに、本論文の構成について述べている。

第2章 パイプライン・ステージ統合方式

近年のモバイル・プロセッサでは、低消費電力と高性能の両方が要求されている。この要求を満たすために、現在DVS(Dynamic Voltage Scaling)と呼ばれる方式が広く利用されている。しかし、将来の半導体プロセス技術では、最小電源電圧はそれほど下げられないことから、DVSの有効性は減少していくことが予想される。これに対して、パイプライン・ステージ統合(PSU: Pipeline Stage Unification)と呼ぶ手法では、DVSと異なり、電源電圧を低下させるのではなく、パイプライン・レジスタをバイパスさせることによって複数のパイプライン・ステージを統合する手法である。クロック・ドライバの消費電力削減や、分岐予測などの投機失敗に対するペナルティ削減によるIPC向上により、プロセッサの消費エネルギーが削減される特徴がある。本章では、PSUの概要を紹介している。

第3章 パイプライン・ステージ統合を行うプロセッサの最適なパイプライン深さ

これまでの深さ固定のパイプラインでは、様々なアプリケーションに対して最適なパイプラインの深さとはなっていないことをベンチマークと通して示し、PSUの適用についての妥当性の検証を行った。また、ベースとなるPSUパイプラインの段数について検討を加え、24段に設定した。したがって、このPSUプロセッサでは、6段、12段、24段のパイプラインを提供できる。

第4章 プログラムのフェーズに応じた動的なパイプライン・ステージ統合の制御方法

個々のアプリケーションでは、そのプログラム内の局面(フェーズ)によってプロセッサの実行状態は変化する。そのため、フェーズに応じて動的にPSUを適用することによって電力性能比を向上させることができる。先行研究としてプログラム中のワークロードの特性を定量的に表すため、シグニチャと呼ばれるものを用いる手法がある。本章ではこのシグニチャと履歴表を組み合わせた、新しいフェーズ検出方法を提案し、その評価として電力性能比が11.4%向上することを示した。

第5章 細粒度のランタイムでの最適化なパイプライン・ステージ統合方法

PSUを用いたプロセッサでは、電源電圧を変更しないので、現在のDVS方法より非常に短い時間で動的に構成を変更することができる。この特長を利用した、ハードウェアコストの小さい、新しいPSU動的適用手法を提案した。これは、容易に得ることができるスループットの統計情報に基づき、より細かい間隔でPSUの適用を変化させるものである。この方法は実装コストを大幅に下げることができることを示し、また、細かなPSUの適用で電力性能比をさらに向上させることを確認した。

第6章 ALU カスケーディング機能を有するスーパースカラ・プロセッサ用命令スケジューラ

プロセッサのIPCを向上させるため、ALU カスケーディングと呼ばれる手法がある。これはALUの出力を別のALUの入力に直接つなぎ、1クロック・サイクル中にデータ依存関係にある命令の組を同時に実行する方式である。この方式をPSUに適用することによりさらに電力性能比が向上することが期待できる。このため、ALU カスケーディング用のスケジューリングを行える命令スケジューラについて提案を行い、PSUの電力性能比の向上についての評価を行った。

第7章 結論

本論文で得られた主要な結論について要約している。

(論文審査の結果の要旨)

近年のプロセッサの設計では、電力性能比の向上は重要な要求の1つとなっている。この要求に応えるため、パイプライン・ステージ統合 (PSU) と呼ばれるアーキテクチャ・レベルの低電力化方法が提案され、将来のプロセス技術においても効果的であるといわれている。本論文では、PSUを用いるプロセッサにおいて電力性能比の向上を実現することを目的とした種々の手法を提案し、それらの評価を行っている。得られた主な成果は以下の通りである。

1. アプリケーションごとに最適なパイプライン段数の調査に基づく PSU のベースプロセッサの提案

さまざまなアプリケーションを検討した結果、最適なパイプライン段数はアプリケーションごとに異なることを示した。また、この情報をもとに、PSUのベースプロセッサのパイプライン段数を24段に設定し、PSU適用時にさまざまなアプリケーションで最適構成が設定できるような構成方式を提示した。

2. シグニチャ方式と履歴表を組み合わせたステージ統合の制御方法の提案と評価

個々のプログラム内の局面 (フェーズ) によってプロセッサの実行状態は変化する。そのため、フェーズに応じて動的にPSUを適用することによって電力性能比を向上させる必要がある。先行研究で提案されているシグニチャ方式に新たに履歴表を組み合わせる方式を提案し、PSUの動的な適用により、平均11.4%の電力性能比の向上を達成した。

3. 細粒度、低ハードウェアコストのステージ統合方法の提案と評価

先に述べたPSU動的適用手法の欠点はハードウェアコストが大きくなる点である。IPCなど容易に得られるスループットの統計情報に基づき、より細かい間隔でPSUを制御する方式を提案し、実装コストは先の方法の14%となり、また、ベースプロセッサより平均13.6%電力性能比を向上できることを示した。

4. ALU カスケーディングを生かす命令スケジューラの提案とその省電力化への評価

ALU カスケーディングをPSUに適用することによりさらに電力性能比が向上することが期待できる。このため、通常の命令スケジューリングに加え、このためのスケジューリングを行える命令スケジューラの方式について提案を行った。提案した命令スケジューラにより、SPECint2000とMediabenchのプログラムを実行させたところ、平均3.7%と6.4%性能の向上が達成することができた。この性能向上率は先行研究の結果よりも性能が高く、PSUの電力性能比をさらに向上させることができた。

以上本論文は、将来のプロセッサにおいて、電力性能比の向上するための諸手法の提案と評価を行ったものであり、学術上、實際上寄与するところが少なくない。よって、本論文は博士 (情報学) の学位論文として価値あるものと認める。また、平成21年2月16日実施した論文内容とそれに関連した試問の結果合格と認めた。