

氏 名	三 橋 隆
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	論 工 博 第 3415 号
学位授与の日付	平 成 11 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 2 項 該 当
学 位 論 文 題 目	高性能LSIのレイアウト設計自動化に関する研究

(主査)

論文調査委員 教授 田丸啓吉 教授 中村行宏 教授 奥村浩士

論 文 内 容 の 要 旨

半導体集積回路の歴史は高性能化と大規模化の歴史である。この様な発展をもたらした原動力の一つは、集積回路の製造技術の進歩に裏打ちされた微細化である。しかし、微細化によってもたらされる可能性を、実際のLSIとして実現するためには多くの設計技術上の問題を解決しなければならない。

本論文は、集積回路設計上の諸問題に電子計算機を用いて対処する手段を提供し、設計期間の短縮、設計確度の向上、高性能LSIの設計法の確立を目的とした研究成果をまとめたもので、全体は9章から構成されている。

第1章は序論であり、本研究の目的および立場を明らかにする。本研究の基本的目的として、LSIの設計生産性の危機、素子微細化にともなつて出現してきた設計技術上の諸問題を計算機を使用して解決することについて述べている。

第2章では本研究の背景を明らかにするために、集積回路設計の技術上の問題を分析し、解決すべき問題を議論している。

第3章ではレイアウト設計検証CAD研究の歴史について述べ、次にレイアウト設計におけるデザインルールを説明して、開発したデザインルール検証プログラムの概要について述べている。

第4章ではレイアウト設計結果をもとに、設計した集積回路の機能や性能を計算機を用いて検証する総合的なレイアウト設計検証システムの開発について述べている。このシステムの特徴は、デバイスやプロセスにかかわらず回路を抽出できるようにしたプロセス・デバイス独立性である。この性質により広い範囲のデバイスやプロセスに適用できるレイアウト検証システムとすることができた。

第5章では回路抽出の中でも特に複雑な抵抗の抽出と抵抗値の推定について述べている。抵抗値の推定の問題点は、電流の流入流出位置や電流経路によって抵抗値が変わるため幾何学的な形状から単純に抵抗値を推定できない点にある。そこで新たな抵抗のモデルを提案し、有限要素法を用いた厳密な解を求める方法を提案した。

第6章では微細化の進むLSIのレイアウト設計に必要とされるCAD技術と大規模化LSIを設計する有効な手法である階層設計の考え方をを用いたレイアウト設計システムについて述べている。

第7章では集積回路の微細化がLSIの性能に与える影響をスケーリング理論を用いて予測分析し、配線遅延の問題、消費電力の増加などについて議論している。さらにクロックスキューを極限まで小さくするクロック配線合成法、配線に基づく遅延を考慮したタイミングドリブンレイアウト、配置後にタイミング最適化のための回路最適化を行う手法などについて述べている。

第8章では電源・グランド系の配線問題について論じている。エレクトロマイグレーションによる電源・グランド配線の経時的劣化や電源電圧の変動、電源・グランド系を介してのノイズの伝搬などの問題に対して電源・グランド配線の構造を最適化することが重要であるとの立場から新たな問題の定式化を行った。

第9章は結論で、本論文の成果をまとめるとともに、残された課題とその解決への展望を述べている。

論文審査の結果の要旨

集積回路の製造技術の進歩により微細化，大規模化のすすむLSIに対して，設計期間の短縮，設計確度の向上，高性能LSIの設計法の確立など設計技術上の問題解決が要求されている。

本論文は集積回路の回路設計およびレイアウト設計上の諸問題に計算機を用いて対処する手法についての研究成果をまとめたもので，得られた主な成果は以下のとおりである。

1. レイアウト設計の検証を高速に行うため，多量の図形データを効率良く処理する手法としてワークリスト法を開発した。
この方法は集積回路設計のCADにおいて計算幾何学的アプローチを用いる端緒となった。
2. レイアウト設計結果から回路接続情報を取り出し，電氣的パラメータを推定して性能を検証する総合的なレイアウト設計検証システムを開発した。このシステムでは新しい素子の認識手法や回路の抽出手順を開発して，プロセス・デバイスの独立性を実現した。また複雑な形状の抵抗値を計算するモデルと厳密な解を求める方法を考案した。
3. 集積回路の微細化とともに問題になる配線遅延について検討し，クロックスキューを大幅に小さくするクロック配線合成法を開発した。さらにレイアウト設計後にタイミング最適化のための回路最適化を行う手法を開発した。
4. 電源・グランド配線の電圧変動，ノイズ，経時劣化などの問題を検討し，従来の配線幅最適化と異なり，新しく電源・グランド配線のトポロジー最適化が重要であることを見出し，問題の定式化と解決法を示した。

以上要するに本論文は集積回路の製造プロセスの微細化に対応して発生する回路設計とレイアウト設計上の諸問題に対し，レイアウト設計検証の高速化，プロセス・デバイス独立の総合的レイアウト検証システム，配線遅延を縮小するクロック配線合成法，電源・グランド配線の最適化などの研究開発成果をまとめたもので，得られた結果は学術上，實際上寄与するところが少なくない。よって本論文は博士（工学）の学位論文として価値あるものと認める。また平成11年1月8日，論文とそれに関連した事項について試問を行った結果，合格と認めた。