

ジョセフソン三値ファジイ回路の一方式

埼玉大学工学部 鈴木 和敏 (Kazutoshi Suzuki)

埼玉大学工学部 森末 道忠 (Mititada Morisue)

まえがき

ファジイ論理は、従来の2値論理では扱うことが困難であった曖昧さを含んだ概念を扱うことができる。

ファジイ論理に基づいて推論を行なうことをファジイ推論といい、地下鉄の制御などに実用化されている。

ファジイ推論を行なう方法にはいろいろな方法があるが、MAX-MIN合成による方法は、最大値及び最小値を求める操作のみでファジイ推論を行なうことができる。^{[1][2][3]}

MAX-MIN合成を高速に行なうためには、最大値および最小値を高速に求める回路が必要である。

本発表では、高速スイッチング動作が可能なジョセフソン素子を用いた回路^[4]で、3値3桁のMAX回路(MIN回路)を構成してシミュレーションを行なったので報告する。

ジョセフソン素子の特性

ジョセフソン素子は、図1のように2枚の超伝導体の間にごく薄い絶縁層をはさんだ構造をしている。この素子の等価回路を図2に示す。

等価的な電流源を流れる電流は超伝導トンネル電流と呼ばれ、①式（ジョセフソン第1方程式）で表わされる。

$$I_J = I_c \cdot \sin \phi \quad (1)$$

I_c : 臨界電流、 ϕ : 波動関数の位相差

また、素子が電圧状態にスイッチした時には②式（ジョセフソン第2方程式）が成り立つ。

$$\frac{d\phi}{dt} = \frac{2e}{\hbar} V \quad (2)$$

V : 接合間の電圧

ジョセフソン素子の電圧－電流特性は原点に対して点対称で、その内、電圧と電流が共に正の領域を図3に示す。

素子の非線形コンダクタンス（ $1/R_J(v)$ ）は③式で近似される。

$$\frac{1}{R_J(v)} = \frac{1}{R_{SG}} + \left(\frac{1}{R_{SG}} + \frac{1}{R_{NN}} \right) + \frac{1}{1 + \exp\{(-|v| + V_G)/V_D\}} \quad (3)$$

R_{gg} : サブギャップ抵抗、 R_{nn} : 常伝導抵抗

V_g : ギャップ抵抗、 V_D : ゆらぎによるギャップ電圧の鈍り

この素子を論理演算回路に用いる場合は、超伝導状態と電圧状態を $\{0, 1\}$ に対応させている。

ジョセフソン素子の基本演算回路を構成する回路のひとつに SQUID がある。SQUID は、2 接合素子と 3 接合素子を用いた回路がよく使用されている。図 4 は、2 接合素子を用いた SQUID の等価回路で、図 8 はそのしきい値特性の一例である。

SQUID は、図 8 のしきい値特性の一番外側の曲線にはさまれた領域では超伝導状態となり、その外側では電圧状態となる。

ファジイ推論回路の構成

ファジイ推論は、1 入力変数の場合には、④式によって行なうことができる。

$$\mu_{B'}(v) = \bigcup_u \{ \mu_{A'}(u) \cap \mu_A(u) \} \cap \mu_B(v) \quad (4)$$

④式を回路のブロック図で表わすと図5のようになる。また、入力変数が、クリスプ数であるなら⑤式のように簡略化できる。

$$\begin{aligned}\mu_{B'}(v) &= \bigcup_u \{ \chi_{A'}(u) \cap \mu_A(u) \} \cap \mu_B(v) \\ &= \mu_A(x) \cap \mu_B(v)\end{aligned}\tag{⑤}$$

$$\begin{aligned}\chi_{A'}(u) &= 0 : u \neq x \\ &1 : u = x\end{aligned}$$

⑤式を回路のブロック図で表わすと図6のようになる。これはメモリ回路とMIN回路の組合せである。このように、ファジイ推論回路は基本的にMAX回路・MIN回路の組合せで構成できる。

ジョセフソン・ファジイ回路

図7a～cにSQUIDを用いてMAX回路を構成した回路を示す。このMAX回路は0～26（-13～13）の値を持つ2つの入力のうちの最大値を出力する。

このMAX回路はラッチ部分（図7a）と入力比較部分（図7b）とデータセレクト部分（図7c）の3つのブロック

からできており、MAX回路を多段接続してパイプラインで実行することができる。また、MAX回路の $A \geq B$ 信号と $A < B$ 信号を入れ換えることで容易にMIN回路を構成できる。

また、ファジイ推論の入力がクリस्प数ならメモリ回路を利用することにより図6のように回路を簡素化できる。

入力比較部分に用いるSQUIDのしきい値特性を図8 a ~ d に示す。大小比較に用いている左右2つのSQUIDのうち左のSQUIDではiトリット目の入力 A_i の正の電流は右方向、iトリット目の入力 B_i の正の電流は左方向に流れており、右側のSQUIDでは入力 A_i の正の電流は左方向、入力 B_i の正の電流は右方向に流れている。

大小の比較は、上位のトリットから下位のトリットへと行なう。あるトリットで大小があつたら、それより下のトリットでは強制的に同じ結果が得られるように信号を加える。

図8 a は、上位のトリットからの信号が無い場合である。このとき、左側のSQUIDでは $A_i > B_i$ の時にSQUIDは電圧状態となり出力電流が流れる。また、右側のSQUIDでは $A_i < B_i$ の時にSQUIDは電圧状態となり出力電流が流れる。

図8 b は、同じ側の上位のトリットからの出力信号がある場合である。このとき、2つの入力信号 A_i 、 B_i に関わり

なく S Q U I D は電圧状態となり出力電流が流れる。

図 8 c は、反対側の上位のトリットからの出力信号がある場合である。このとき、2つの入力信号 A_i 、 B_i に関わりなく S Q U I D は超伝導状態となり出力電流は流れない。

したがって、入力 A、B がどのような組合せでも、同じトリットの左右の S Q U I D が共に電圧状態になることはない。

図 8 d は入力比較部分の最下位トリットの左側の S Q U I D のしきい値特性である。これは、上位トリットからの信号がなく、最下位トリットの入力が等しいときにも電圧状態になり、出力電流が流れるようになっている。したがって、 $A = B$ のときにも左側の S Q U I D は出力電流が流れるので左側の最下位の S Q U I D の出力は $A \geq B$ のときに出力されることになる。一方、右側の S Q U I D の最下位トリットは上位トリットの右側の S Q U I D と同じものを使用しているため、右側の最下位の S Q U I D の出力は $A < B$ のときに出力されることになる。

すなわち、入力 A が入力 B より大きいとき $A \geq B$ 信号が出力され、入力 B が入力 A よりも大きいとき $A < B$ 信号が出力される。

シミュレーション結果

M A X 回路を 3 個、2 段接続した回路（図 9）のシミュレーションを行なった。

4 つの入力と、M A X 回路を 1 段通った 2 つの出力と、M A X 回路を 2 段通った出力のシミュレーション結果を図 10 a ~ c に示す。M A X 回路 2 段で 1 組のパイプラインとして動作するようになっており、500 p s 毎に入力信号を加えている。

まず、入力 I a と入力 I b にそれぞれ 1 1 1 と 1 1 1 を加えて、1 段目の出力として I a b = 1 1 1 を得ている。また、入力 I c と入力 I d にもそれぞれ 1 1 1 と 1 1 1 を加えて、1 段目の出力として I c d = 1 1 1 を得ている。この I a b と I c d を入力信号として、約 500 p s 後に 2 段目の出力 I m a x = 1 1 1 を得ている。

第 2 ステップには、入力 I a と入力 I b にそれぞれ 1 1 1 と 1 1 1 を加えて、1 段目の出力として I a b = 1 1 1 を得ている。また、入力 I c と入力 I d には、それぞれ 0 0 0 と 1 1 1 を加えて、1 段目の出力として I c d = 0 0 0 を得ている。この I a b と I c d を入力信号として 2 段目の出力 I m a x = 1 1 1 を得ている。

第 3 ステップには、入力 I a と入力 I b にそれぞれ 1 1 1 と 0 1 1 を加えて、1 段目の出力として I a b = 1 1 1 を得

ている。また、入力 I_c と入力 I_d には、それぞれ $\overline{101}$ と $\overline{111}$ を加えて、1 段目の出力として $I_{cd} = \overline{111}$ を得ている。

まとめ

ファジイ推論を MAX-MIN 合成で行なうときに必要となる MAX 回路を、ジョセフソン素子を用いた SQUID で構成してシミュレーションを行なった。パイプライン化した時は、2 段 1 組あたり 500 ps、すなわち 1 段あたり平均 250 ps で動作することを確認した。

ファジイ推論回路をすべてジョセフソン素子で構成するためには推論結果のファジイを通常の数値に変換するディファジフィケーション回路を構成しなければならないことが今後の課題である。

参考文献

- [1] 水本 雅晴: "ファジイ理論とその応用", サイエンス社 (1988)
- [2] 寺野 寿郎ら: "ファジイシステム入門", オーム社 (1

9 8 7)

[3] 山川 烈: " F U Z Z Y コンピュータの発想", 講談社 (1 9 8 8)

[4] 大知 一夫: 埼玉大学修士論文, " ジョセフソン三値計算機システムの開発に関する研究", 昭和 6 2 年 3 月

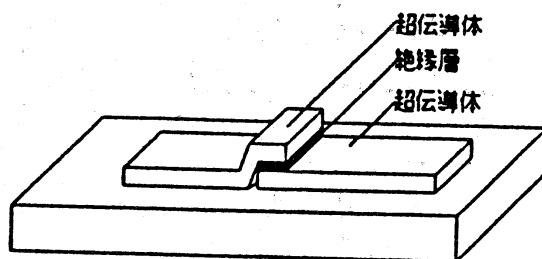


図 1 ジョセフソン素子の構造

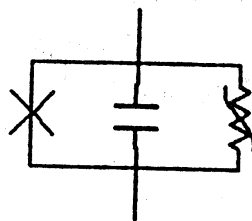


図 2 ジョセフソン素子の等価回路

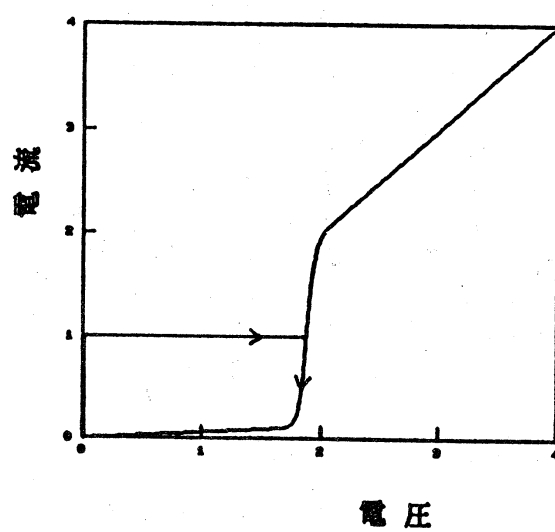


図 3 ジョセフソン素子の電圧 - 電流特性

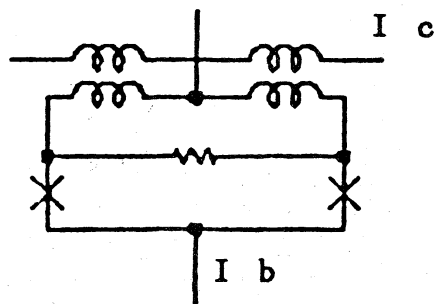


図 4 2 接合 S Q U I D の 等 価 回 路

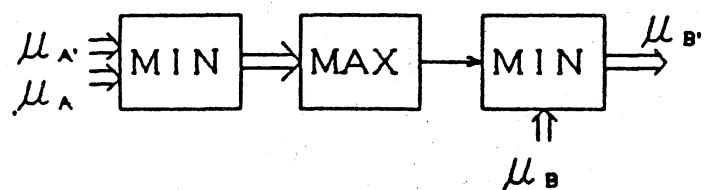


図 5 フ ァ ジ イ 推 論 回 路 (1)

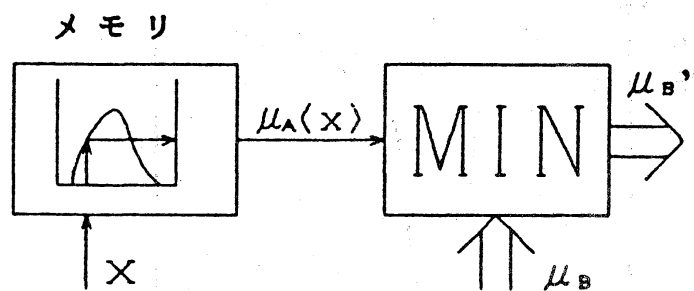


図 6 フ ァ ジ イ 推 論 回 路 (2)

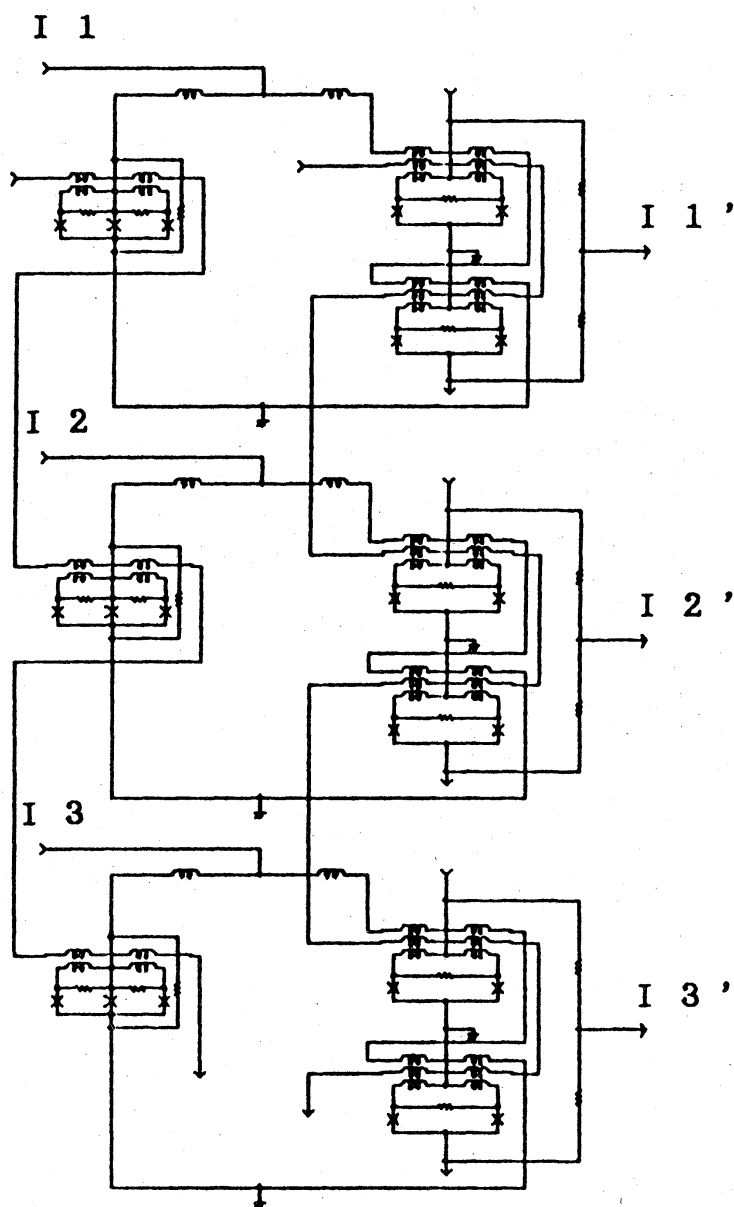


図 7 a M A X 回 路 ラ ッ チ 部

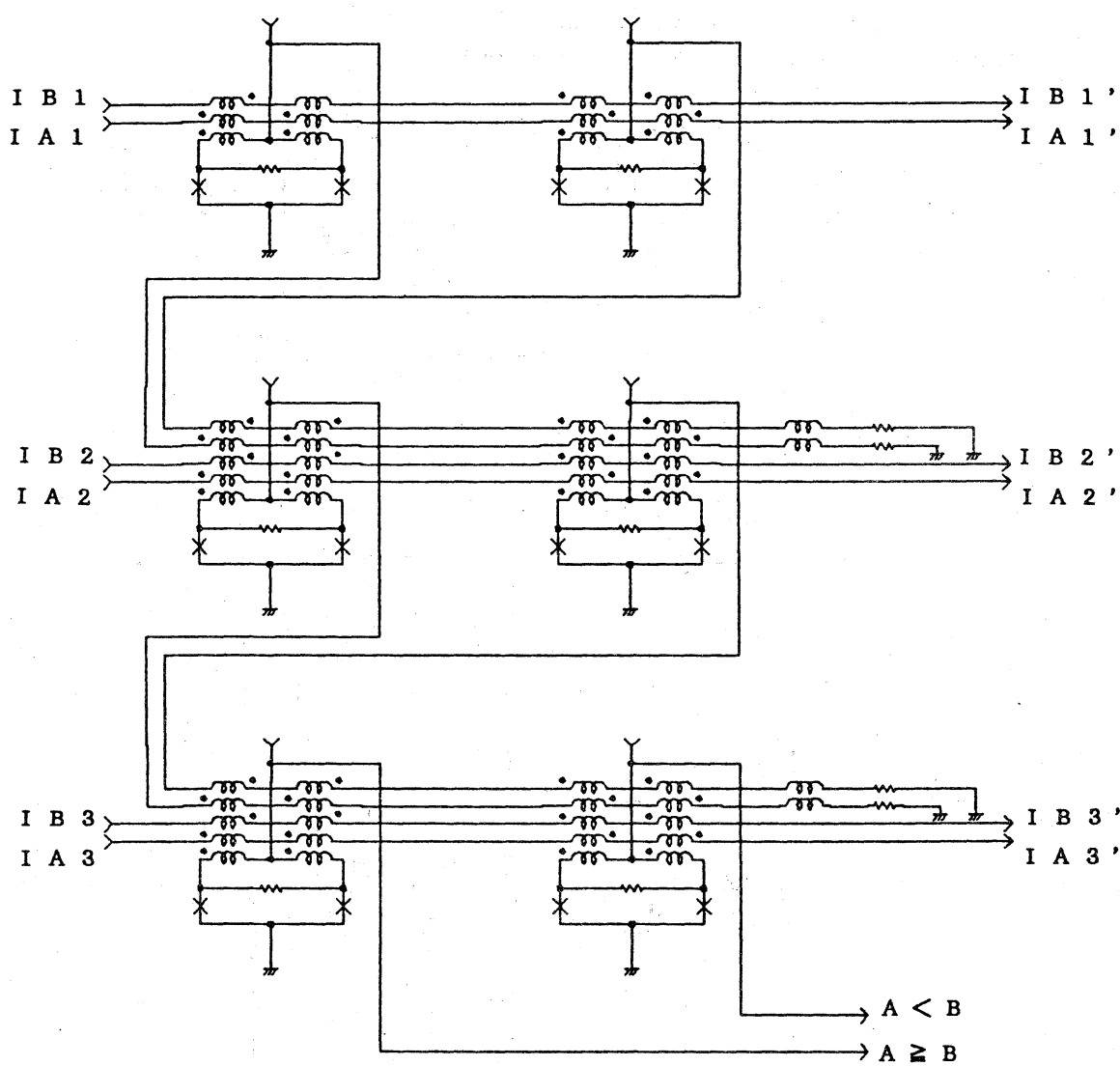


图 7 b MAX回路比較部

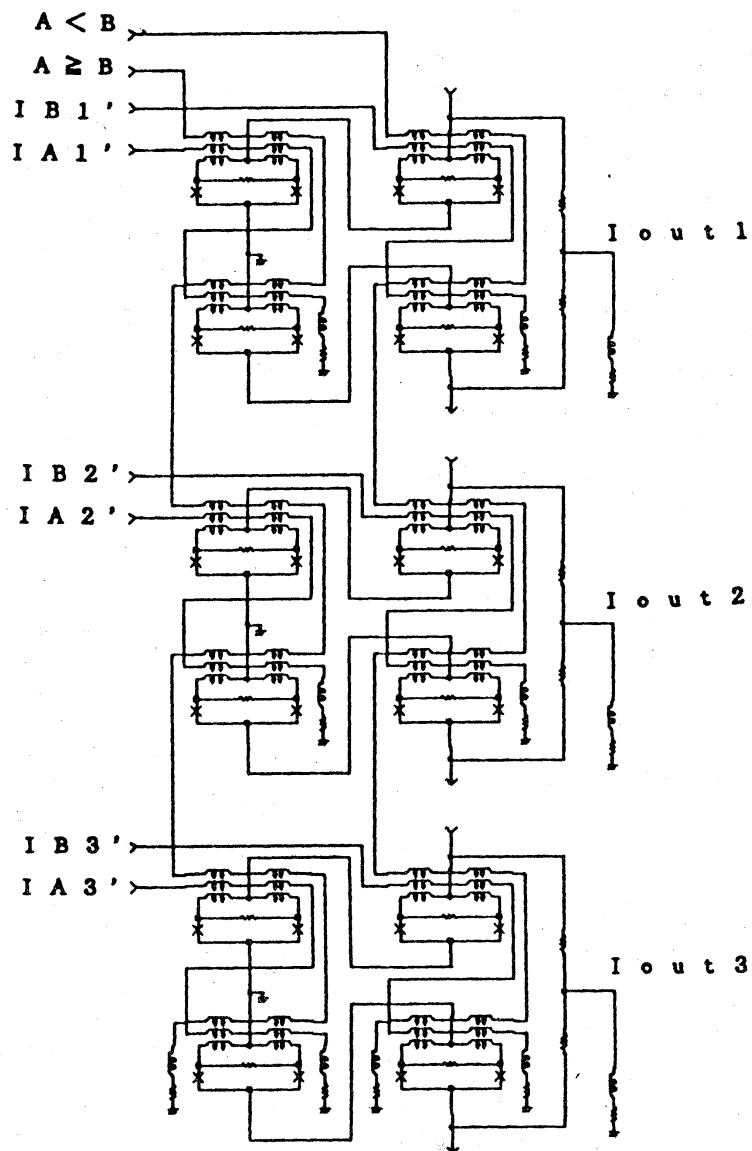
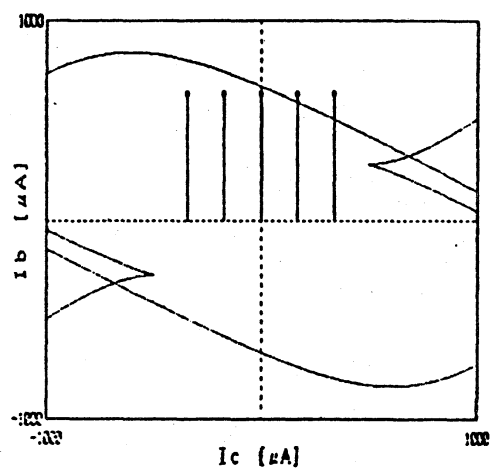
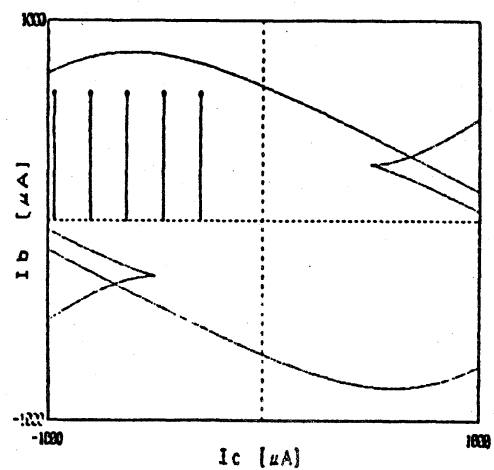


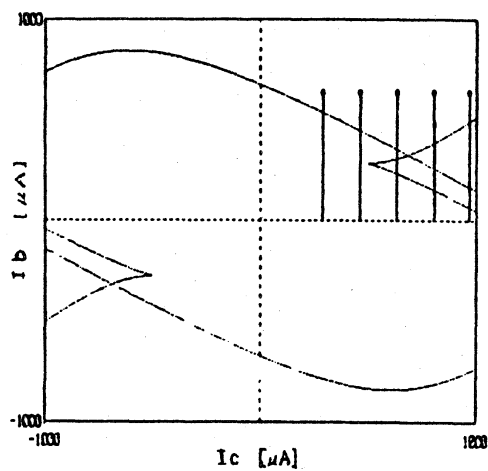
図 7 c MAX回路データセレクト部



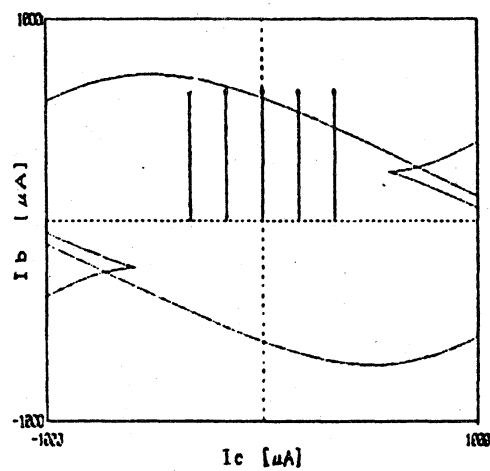
a



c



b



d

- a 入力比較部左側（上位トリット： $A = B$ ）
- b 入力比較部左側（上位トリット： $A > B$ ）
- c 入力比較部左側（上位トリット： $A < B$ ）
- d 入力比較部（最下位トリット左側）

図8 SQUIDのしきい値特性

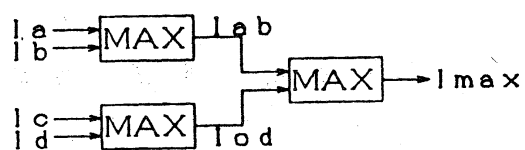
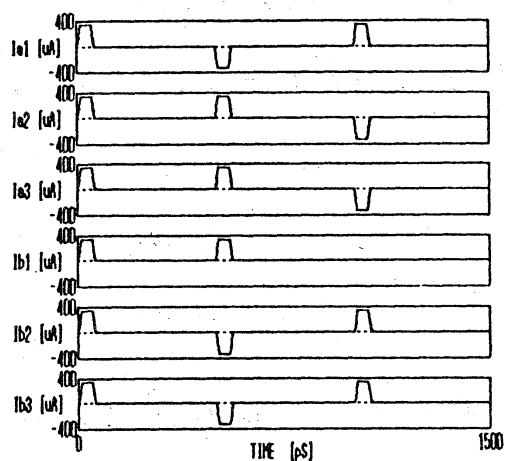
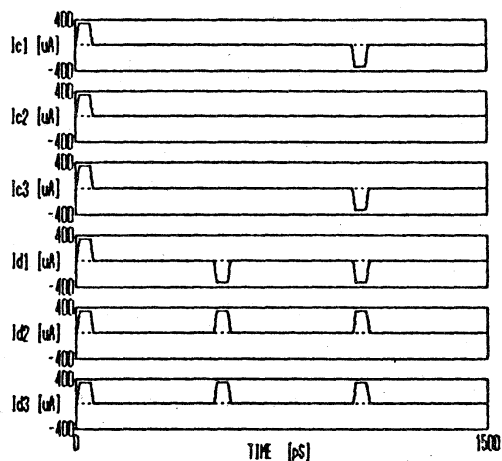


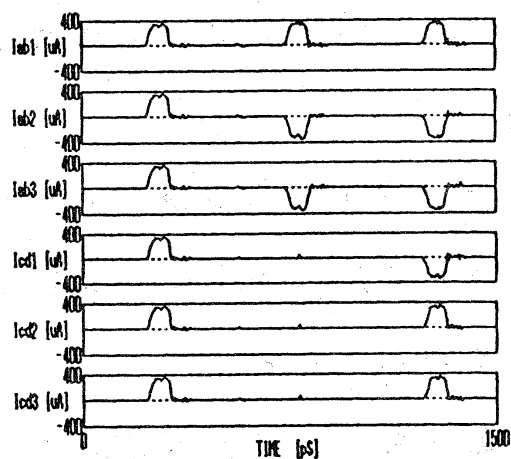
図 9 シミュレーションした回路のブロック図



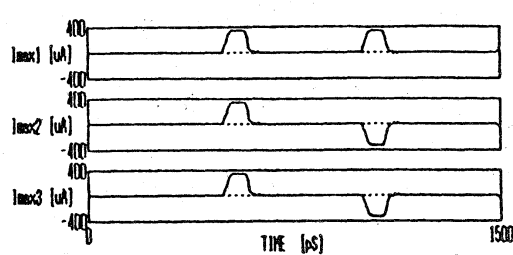
a 入力信号 1



b 入力信号 2



c 1 段目出力



d 2 段目出力

図 10 シミュレーション結果