

氏 名	森 住 大 樹
学位(専攻分野)	博 士 (情 報 学)
学 位 記 番 号	情 博 第 273 号
学位授与の日付	平 成 19 年 7 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研 究 科 ・ 専 攻	情 報 学 研 究 科 通 信 情 報 シ ス テ ム 専 攻
学 位 論 文 題 目	Studies on Lower Bounds for the Size of Boolean Circuits (論理回路に含まれる素子数の下界に関する研究)
論文調査委員	(主 査) 教 授 岩 間 一 雄 教 授 湯 淺 太 一 教 授 小 野 寺 秀 俊

論 文 内 容 の 要 旨

論理回路はチューリング機械と共に計算機の代表的数学的モデルの一つである。ある論理関数を計算する論理回路の素子数や段数に関する研究は回路計算量理論と呼ばれ、理論計算機科学の分野において長くに渡り研究が行なわれている。NPに属する論理関数を計算する論理回路の最小素子数が超多項式であることを示せばPとNPが異なることを示したことになる。しかし、NPに属する関数に対してこれまで示されていた最良の下界は $4.5n - o(n)$ (n は入力の数)であり超多項式とは大きな開きがある。

否定素子を使用せずAND素子とOR素子のみである単調回路では指数の下界が知られている。否定素子の使用の違いにより証明されている下界が違うことから否定素子の数を限定した回路を対象とした研究が行なわれ、否定素子の影響力が調べられている。特に入力の数 n 変数を全て否定して出力するインバータと呼ばれる回路は、その回路を使用することによって、他には否定素子を必要ないものにするという意味で重要であり、 n 個より本質的に少ない否定素子を使用した実現に関して幾つかの先行研究がある。

第1章では研究の背景、および論文の概要を述べている。

第2章では、回路計算量の既存の研究を改善した $5n - o(n)$ の下界を証明している。対象とするNPに属する論理関数は先行研究と同じくStrongly-Two-Dependentと呼ぶ条件を満たす関数を対象とし、証明手法も同じ素子削除法と呼ばれる手法を用いている。既存の研究に対し、回路の形状による場合分けでより詳細な解析を行なうことで下界の改善を可能としている。

第3章では、否定素子数を $\log(n+1)$ に限定したインバータの下界を示すには多数決関数を計算する単調回路の下界を示せば十分であることに着目している。多数決関数を計算する単調回路の下界を示すために、Maj-Easyと言う概念とそれを用いた新しい下界の証明方法を提案している。また、その証明手法が有効に働かない条件に関して考察を与えている。以上のことを多数決関数に限らずより一般的に通用する形で議論している。

第4章では、否定数を $\log(n+1)$ に限定したインバータの下界を既存の研究より改善し、 $8n - \log(n+1) - O(1)$ を示している。また、それと関連して、否定数を $\log(n+1) - 1$ に限定したパリティを計算する回路の下界を改良し、入力がソート列に限定されたインバータとパリティを計算する回路の最小素子数の厳密な値を否定限定数によるトレードオフと共に示している。

第5章では、入力が k トニック列に限定されたインバータの構成法に関する研究を行なっている。 k トニック列とは入力の0と1がたかだか k 回反転する列のことである。 k が定数の場合には素子数 $O(n \log n)$ 、段数 $O(\log n)$ 、否定数 $\log n + \log \log \log n + O(1)$ である k トニック列限定インバータの構成法を示している。また、 k トニック列に限定されたソータについても、同様に先行研究より素子数等が改善された構成法を与えている。

最後に第6章では以上の結果をまとめ、さらに今後の方針が与えられている。

論文審査の結果の要旨

回路計算量理論は計算量理論の中でも古くから研究されている代表的な分野の一つである。P=NP?問題との関連などから、その重要性は広く認められており、過去数十年に渡って確実に進歩してきた。本論文では、制限のない回路の素子数の下界と、否定数を限定した回路の素子数の上下界に関していくつかの重要な改良を行なっている。

本論文の結果について特筆すべき点は以下の通りである。

1. 制限のない回路の素子数の下界を $4.5n - o(n)$ から $5n - o(n)$ に改良した。本結果は現在でも世界最良の結果としての地位を保っている。

2. 多数決関数の非線形の下界を示すための新しい証明方針を提案した。その方針が働くための条件について考察した。

3. 否定数限定インバータと、パリティを計算する否定数限定回路の下界を改良した。また、入力がソート列に限定された場合の、否定数限定インバータ、パリティを計算する否定数限定回路の最小サイズと否定限定数の間の厳密な関係を与えた。

4. k トニック列に対するインバータ、ソータの各パラメータが改良された構成法を示した。

上記の1.の結果は、基本的な問題であり $P \neq NP$ の証明に直結する制限のない回路の下界を改善しており、その改善の幅は少ないとはいえ意義は深い。この問題の重要性や困難さは30年以上に渡り著名な研究者が成果を積み重ねてきた事からも想像できる。また、その証明は非常に精密な議論から成り立っている。上記の2.の結果は、当初の目標を完全に達成したとは言えないが、着目点には興味深いものがあり、今後の発展の可能性が認められる。上記の3.の結果は、否定数限定インバータの下界を中心に、否定の限定数とサイズのトレードオフなどいくつかの話題を含んでおり、着実な進展であると言える。ソート列に限定されたインバータ、パリティに関しては、否定限定数の変化により最小素子数が変化する様子、さらにはAND, OR, NOTの各素子の数まで示しており、このような回路の複雑さに関してほぼ完全な情報を与えたといえる。4.の結果も、入力が k トニック列に限定されたインバータのより効率的な新構成法を考えることで、否定数限定インバータの研究を着実に進展させている。特に k が定数の場合の段数が $O(\log 2n)$ から $O(\log n)$ に改善されていることには価値がある。また、インバータにおいて用いられた構成の基本方針はソータに対しても有効であり、 k トニック列に限定されたソータに対してもより効率的な新構成法を与えている。

よって、本論文は博士（情報学）の学位論文として価値あるものと認める。

また平成19年5月28日に実施した論文内容とそれに関連した諮問の結果合格と認めた。