

氏 名	平 田 昭 夫
学位(専攻分野)	博 士 (工 学)
学 位 記 番 号	工 博 第 1826 号
学位授与の日付	平 成 11 年 3 月 23 日
学位授与の要件	学 位 規 則 第 4 条 第 1 項 該 当
研 究 科 ・ 専 攻	工 学 研 究 科 電 子 通 信 工 学 専 攻
学 位 論 文 題 目	超微細 CMOS 論理ゲートの性能評価手法に関する研究

(主査)

論文調査委員 教授 田 丸 啓 吉 教授 奥 村 浩 士 教授 中 村 行 宏

論 文 内 容 の 要 旨

大規模で高性能なLSIを設計する上で、動作速度や消費電力などの回路性能を正確に見積り、設計回路の最適化を行うことは重要な課題である。また製造プロセスの微細化にともない配線の抵抗値が増大してきたので、配線抵抗を考慮した消費電力の評価が必要になってきた。本論文はLSIの回路設計最適化や設計検証で用いる性能評価手法の開発を目的として、MOSFETの寸法や電源電圧を変化させたときの遅延時間や消費電力などの性能を見積る手法、配線抵抗の増大に対応した動作速度評価手法、製造プロセスに独立なセルライブラリ自動生成とそれを利用した設計手法に関する研究成果をまとめたもので、全体は7章から構成されている。

第1章は序論で、本研究の課題を説明し、論文の構成について述べている。

第2章はCMOS論理ゲートの基本となるインバータの消費電力と遅延時間を計算する高精度な解析式を導出する手法について述べている。解析式を導く上で最も重要な問題は、入力波形が遷移中に流れる貫通電流の影響を正確に取り扱うことで、貫通電流の時間波形を線形関数の組合せで表すことにより、精度の高い消費電力と伝搬遅延時間を求めることのできる解析式を得ている。評価の結果、負荷容量や入力遷移時間の変化に対応して、10%前後の一定誤差範囲の結果が得られることを示している。

第3章は配線抵抗を考慮した消費電力の導出法について述べている。貫通電流による消費電力は、入力波形の遷移時間と出力波形に依存する。配線抵抗により出力波形が影響をうけるので、貫通電流による消費電力も配線抵抗の影響をうける。この点に着目しゲートの負荷容量と配線抵抗をCRC π 型負荷で近似し、ゲートの貫通電流による消費電力と出力波形を求める解析式を求めた。この式は負荷容量や入力遷移時間の変化に対して、従来の手法に比べて高い精度が得られることを示した。また配線が長くなると、配線抵抗により貫通電流による消費電力は容量負荷のみの場合に比べて1.8倍増えることを示した。

第4章は高速で、動作条件などの変動に柔軟に対応できるゲート遅延時間計算手法について述べている。種々の構成のゲート回路を等価な直流電圧電流特性をもつインバータ回路に置き換え、パラメータ群を計算して、ライブラリに保存する。次に負荷容量と配線をCRC π 型等価回路に置き換える。両者を結合して解析式により遅延時間を計算する。回路シミュレーションを行う方法に比べて、平均3%程度の誤差で、約1000倍高速にゲート遅延時間を求めることができる。また電源電圧を連続的に変化させて遅延時間を求めることが可能になり、回路設計最適化に用いることができることを示した。

第5章は解析的遅延時間計算法を使用したスタンダードセルライブラリ自動生成システムについて述べている。専用LSIの設計ではセルライブラリを使用して設計するので、セルライブラリは製造プロセスの性能が最大限に引き出せるように最適設計されている。しかし最適化は特定プロセス依存性をもたらし、プロセス間での再利用性や非標準的条件に対応できない硬直性という欠点を生じる。この問題の解決法として、製造プロセスに独立で、設計条件の変化に対応できるセルライブラリ自動生成システムを開発した。このシステムでは解析的な手法により与えられた種々な動作条件やプロセス条件におけ

るセルライブラリ情報を高速に計算して、設計に必要なライブラリ一式を自動生成するのが特徴である。本システムを実際のCADシステムで評価した。

第6章はセルライブラリを含めた設計最適化を行う新しい設計手法について説明している。この手法の特徴は、機能記述などの上位の設計情報と製造プロセスやデバイスのパラメータをもとに、LSIの性能を予測し、その回路に最適なセルライブラリを自動生成することである。この中で動作速度や消費電力などの性能検証に、解析的な評価手法を使用している。生成したセルライブラリを使用してLSIを設計し、配置配線終了後、配線長を抽出して、配線抵抗を考慮した検証を行う。実験によりこの設計手法の有効性を示している。

第7章は結論で、本論文の内容をまとめている。

論文審査の結果の要旨

近年の大規模で高性能なLSI設計では、性能評価を高速で高精度に行う必要性が増加している。またそのための新しい設計システムの開発も重要な課題になっている。本論文は動作速度や消費電力などの回路性能を精度良く計算する手法、配線抵抗を考慮した消費電力の評価手法、各種のゲート回路の伝搬遅延時間を求める方法、製造プロセスに独立なセルライブラリ自動生成手法と、それを中心とする新しい設計手法に関する研究成果をまとめたもので、得られた主な結果は以下のとおりである。

1. 入力波形が遷移中に、CMOSインバータの内部を流れる貫通電流の波形を線形関数の組合せで表し、高精度の消費電力と伝搬遅延時間を求める解析式を導いた。
2. 微細化にともなう配線抵抗の増加を考慮して、ゲートの負荷容量と配線をCRC π 型負荷で近似し、ゲートの貫通電流による消費電力増加と出力波形を求める解析式を導いた。
3. 種々のゲート回路を等価なインバータ回路に置き換えて等価パラメータを計算し、これにCRC π 型負荷を組み合わせて、高速で、解析的に伝搬遅延時間を求める手法を開発した。
4. 解析的な手法を使用して、与えられた動作条件やプロセス条件に対応するセルライブラリの性能情報を高速に計算することにより、製造プロセスに独立で、設計条件の変化に柔軟に対応できるセルライブラリ自動生成システムを開発した。
5. 機能記述など上位設計情報と製造プロセスやデバイスのパラメータをもとに、LSIの性能を予測し、その回路に最適なセルライブラリを自動生成してLSIを設計する新しい最適化設計手法を考案した。

以上要するに本論文は、CMOSインバータの回路性能を高速で高精度に求める解析式を導出し、この解析式を使用して配線抵抗を考慮した消費電力の評価法、各種のゲート回路の伝搬遅延時間を求める方法、製造プロセスに独立なセルライブラリの自動生成法、最適セルライブラリを生成して設計に使用する最適化設計手法など、一連のCMOSLSIの最適回路設計技術を開発した研究成果をまとめたもので、得られた結果は学術上、実際上寄与するところが少なくない。よって本論文は博士（工学）の学位論文として価値あるものと認める。また平成11年2月1日論文内容とそれに関連した事項について試問を行った結果、合格と認めた。